

DESENVOLVIMENTO DE UM SISTEMA DE ALTO DESEMPENHO PARA AQUISIÇÃO E PROCESSAMENTO DIGITAL DE SINAIS BIOMÉDICOS

Marcelo Bertin¹[Bolsista em Iniciação Científica], Miguel Sovierzoski²[orientador], Valfredo Pilla Júnior³[orientador], Heitor Silvério Lopes⁴[orientador]

^{1,3,4} Laboratório de Bioinformática, CPGEI, CEFET-PR

² Laboratório de Instrumentação e PDI, CPGEI, CEFET-PR

Av. 7 de setembro, 3165– Curitiba/PR, Brasil, 80.230-901

Fone (0XX41) 310-4697

marcelob76@zipmail.com.br, miguelsp@daeln.cefetpr.br, valfredo@daeln.cefetpr.br, hslopes@cpgei.cefetpr.br

Resumo - Este artigo apresenta um módulo de aquisição de sinais através do DSP TMS320C542 da Texas. O *kit* DSKplus é encaixado neste módulo que possui um conversor A/D e D/A de 12 bits, com transferência de dados via barramento EISA do PC (16 bits). A finalidade é o processamento de sinais digitais eletroencefalográficos em tempo real, dentro do projeto Interface Cérebro-Computador.

Palavras-chave: PDS, EEG, MAPDS, TMS320C542.

Abstract – This paper presents a model of a signal acquisition module using the DSP TMS320C542, digital signal processor chip of Texas. The DSKplus kit is plugged into in this module which has an 8 channels, 12-bit A/D converter and a 2 channels, 12-bits D/A converter, with data transfer through bus PC EISA (16 bits). The fim is digital signal processing of EEG in real-time, inside of design BCI.

Key-words: DSP, EEG, MAPDS, TMS320C542.

INTRODUÇÃO

Uma nova tecnologia aplicável à construção de dispositivos de auxílio aos portadores de deficiências físicas severas, denominada de comunicação baseada no sinal eletroencefalográfico (EEG), encontra-se em desenvolvimento no Laboratório de Bioinformática/CPGEI. Nesta tecnologia, estabelece-se uma comunicação através da conexão direta entre o cérebro humano e um computador. Ela utiliza dispositivos de comunicação baseados no EEG denominados de sistemas de Interface Cérebro-Computador (BCI Systems - *Brain-Computer Interface Systems*) [1], [2]. Esta nova tecnologia tem como base o reconhecimento de padrões do sinal de EEG, ou seja, a tradução dos sinais elétricos das células nervosas do cérebro em sinais capazes de serem entendidos pelo computador. Estes sinais uma vez decodificados como impulsos elétricos são compreendidos pelo computador como comandos.

Em 1998, foi iniciado um projeto de BCI pertencente à linha de pesquisa institucional de "Processamento e Reconhecimento de Sinais Eletroencefalográficos" junto ao Laboratório de Bioinformática no CPGEI/CEFET-PR. Até o momento, já foram desenvolvidas algumas etapas do projeto como: aquisição de sinais de EEG [3], desenvolvimento de *software* para filtragem e cálculo da Transformada Rápida de Fourier (FFT) em tempo real para um canal do sinal de EEG com um kit DSP (*Digital Signal Processor*) TMS320C542 [4]. Também foi defendida uma dissertação de mestrado a respeito dos primeiros resultados de um sistema classificador de EEG associado ao movimento [5].

Este trabalho apresenta o desenvolvimento de um módulo para a aquisição e o processamento em tempo real de até 8 sinais denominado MAPDS, baseado no Processador Digital de Sinais TMS320C542. No contexto do projeto BCI, o módulo MAPDS será utilizado em futuras implementações em tempo real, adquirindo até 8 derivações eletroencefalográficas, calculando a FFT em tempo real e implementando algoritmos de reconhecimento de padrões.

METODOLOGIA

O projeto BCI precisava de um módulo de aquisição e pré-processamento de sinais para implementações em tempo real. Desta forma, foram realizadas experiências com o *kit* DSKplus¹ [4]. Porém este *kit* DSKplus possui apenas um canal de conversão analógica para digital (A/D) unipolar e com banda limitada à faixa de áudio. Ainda, a transferência de informações entre o *kit* e o PC é realizada apenas através de uma porta paralela que permite acesso de até no máximo 8 bits de dados. A banda do sinal de EEG compreende componentes de frequência de alguns poucos Hertz até aproximadamente 100Hz, banda incompatível com o conjunto de filtros de áudio originais do *kit*. Ainda, a limitação de aquisição com um único canal A/D constituiu uma restrição séria. Outro critério importante, a fim de melhorar a interface do A/D com os amplificadores era o A/D ser bipolar, eliminando o *offset* do sinal nos amplificadores.

Assim, optou-se pela elaboração de um módulo que pudesse ser acoplado ao *kit* original e que aumentasse os recursos existentes no *kit*. O módulo MAPDS (Módulo de Aquisição e Processamento de Sinais de Digitais) tem a finalidade de executar processamento de sinais digitais em tempo real.

O processador digital de sinais. O uso de um DSP é vantajoso pois este tipo de processador já está otimizado para processar sinais digitais e contém instruções que diminuem o tempo de processamento para FFT e filtros FIR. Diferente de outros microprocessadores, os DSPs são feitos para cálculo matemático, enquanto os outros são para manipulação de dados. O DSP possui endereçamento circular que possibilita a implementação de filtros em tempo real. A arquitetura segue o padrão Harvard, que diferente da Von Neumann, utiliza vários barramentos.

O DSP usado, o TMS320C542, opera dados de 16 bits com ponto fixo, um conjunto de instruções matemáticas altamente especializadas, memória e periféricos internos ao *chip*. A arquitetura Harvard deste DSP possui um barramento de memória de programa, três barramentos de memória de dados e 4 barramentos de endereçamento [6].

Nos dispositivos internos ao *chip*, existem duas regiões de memória: uma ROM de 10 k *words* e outra RAM de 10k *words*. Nos periféricos existem pinos de interfaceamento de entrada e saída de propósito geral, gerador de ciclo de espera programável por *software*, lógica programável de chaveamento de banco, HPI (*Host Port Interface*), temporizador por *hardware*, gerador de *clock*, portas seriais (porta serial “bufferizada” e porta serial multiplexada por divisão de tempo), interface com o barramento externo.

O *kit* DSKplus original contém o DSP TMS320C542, *clock* de 40 MHz, um A/D e D/A de 14 bits, serial, unipolar, com filtro na entrada, configuração via registros internos; *boot* via HPI e transmissão de informações via porta paralela do PC [7].

O módulo MAPDS. O *kit* DSKplus é conectado ao módulo MAPDS e o controla através de programa que é carregado da memória EPROM ou através da porta paralela.

O *boot* pela porta paralela facilita a implementação de programa testes enquanto pela EPROM agiliza um programa já pronto.

A transferência de dados pode ocorrer tanto pela porta paralela quanto pelo barramento do PC. A transferência pela porta paralela utiliza a interface já pronta do *kit* DSKplus.

A tabela 1 demonstra os dispositivos controlados da placa tanto pelo PC e pelo DSP.

Tabela 1. Dispositivos controlados da placa.

Dispositivos controlados pelo PC	Dispositivos controlados pelo DSP
Escolha da interrupção, sendo cinco disponíveis	Dois modos de <i>boot</i> (HPI ou memória EPROM)
<i>Download</i> de <i>boot</i> do DSP e transferência de informações pela porta paralela	Utiliza duas interrupções externas, uma para atender o A/D e outra para atender o PC
Leitura e escrita em 16 bits no barramento EISA	Configuração genérica por 16 <i>jumpers</i>
Leitura da memória FIFO	Controle da memória FIFO
Leitura dos <i>flags</i> da placa	Escrita na memória FIFO
Seleção do endereço da placa via jumper	Controle dos Leds
	Memória EPROM de 64 k <i>words</i>
	Memória SRAM de 512 k <i>words</i> (16 x 32 k <i>words</i>)
	Controle dos bancos de memória por dispositivo I/O
	Controle do A/D e D/A

¹ Texas Instruments

Os principais componentes chaves do módulo são listados na tabela 2.

Tabela 2 - Principais dispositivos de *hardware* do módulo

A/D	D/A	FIFO
12 bits	12 bits	512 bytes x 9 bits
8 canais	2 canais de saída	12 ns de tempo de acesso
500 k amostras / s (1 canal)	Saída em tensão	3 flags de estados
62,5 k amostras / s (8 canais)	Referência interna	Sem barramento de endereços
Faixa de entrada:	1 mV/Bit com fundo de escala	2 barramentos de dados, um para
0 a 5 V, 0 a 2,5 V e -2,5 a 2,5 V	de 4,095	escrita, outro para leitura
Proteção de sobretensão em cada canal	Frequência máxima de operação: 31250 Hz	Memória porta dual <i>First-In/first-Out</i>
Amplificador interno <i>Track/Hold</i>	Corrente máxima ± 5 mA	
Referência interna		
Oscilador interno		
Tempo de conversão de 1,6 μ S		

Dispositivos controlados pelo PC. A faixa de seleção de endereço base que o módulo pode atuar vai de 000h a 03F8h, sendo preferível entre 300h e 370h e toda a escrita e leitura é feita em 16 bits. Há três endereços para leitura e um para escrita.

O endereço base+0 serve para leitura e escrita no barramento intermediário do módulo. Endereço base+2 serve para leitura da memória FIFO. Endereço base+4 serve para leitura dos *flags* do módulo, nestes *flags* lê-se o estado da memória FIFO e das interrupções do módulo.

As interrupções disponíveis no módulo para o PC são 10, 11, 12, 14 e 15.

Dispositivos controlados pelo DSP. No kit DSKplus há um *jumper* para determinar se o *boot* ocorrerá pela HPI (*jumper* fechado) ou EPROM. Há duas possibilidades de uso de carregamento pela EPROM: 8 ou 16 bits. Para 8 bits a palavra BRS será xxxx xx01 e para 16 bits será xxxx xx00. Esta palavra BRS é aplicada nos 8 *jumpers* menos significativos dos 16 que existem no módulo.

Depois do *boot* estes 16 *jumpers* tem propósito genérico para qualquer tipo de aplicação.

Há duas interrupções externas utilizadas pelo módulo a INT0/ e a INT1/. A primeira serve para avisar o DSP que a conversão do A/D está pronta para ser lida. A segunda serve para o PC interromper o DSP para uma finalidade qualquer ou informar que o PC terminou de ler a memória FIFO, dispensado assim a necessidade do DSP ficar lendo os *flags*.

A frequência de amostragem que o A/D trabalhará é definida pelo *timer* interno ao DSP ou por *polling*. Uma interrupção de *timer* é gerada a cada passagem por zero do *timer*. Dentro da rotina do *timer* escolhe-se qual canal dos 8 se quer ler e o formato do dado (complemento de dois sendo a faixa de tensão de entrada de $\pm 2,5$ V ou binário natural sendo a faixa de entrada de 0 a 2,5 V ou de 0 a 5 V). O começo da conversão do A/D pode ser tanto por *software* ou *hardware*.

O D/A tem a base de tempo por *timer* ou por *polling*. Os dois canais de saídas são configurados por *hardware*, há dois *jumpers* que determinam se cada canal recebe dados diferentes ou se cada saída receberá o mesmo dado. Há outro *jumper* que seleciona se os canais começam no início ou no meio da escala.

O DSP controla dois modos de operação da memória FIFO: o normal e o de retransmissão. No modo normal o DSP escreve dados para o PC leia. O outro modo é utilizado para retransmitir os dados.

Quando a FIFO está vazia os *flags* do módulo contém a palavra 3Ch, quando uma escrita é feita os *flags* passam para 3Fh. No momento que a FIFO passa da metade de sua capacidade (256 bytes) os *flags* serão 33h e quando totalmente cheia, 03h.

Há duas memórias FIFOs para que possa ser efetuada transmissão de dados em 16 bits.

No módulo existem dois LEDs para controle visual ou apenas indicação de funcionamento de algum sistema.

A memória SRAM tem capacidade de 512 k *words*. Devido ao DSP só poder endereçar no barramento de dado até 64 k posições, a memória foi dividida em 16 bancos (cada um com 32 k *words*). Estes bancos são selecionados por um dispositivo no espaço I/O. Sempre que a placa é ligada, um *reset* atua para colocar o banco de memória no banco zero. O endereço desta memória começa a partir de 8000h até 0FFFFh para todos os bancos.

RESULTADOS

O programa implementado para o módulo até o momento foi uma FFT real de 2N pontos [8] em um dos canais. A janela utilizada continha 256 amostras do sinal de entrada, a uma taxa de amostragem de 256 Hz. Os sinais de teste foram retirados de um gerador de funções da Tektronix.

Dois sinais foram utilizados como teste: uma senóide e uma onda quadrada. A FFT de cada sinal é mostrada nas figuras 1 e 2, com a amplitude do FFT normalizada. A frequência de cada sinal é de 9 Hz. A componente contínua do sinal foi retirada do gráfico para melhor visualização.

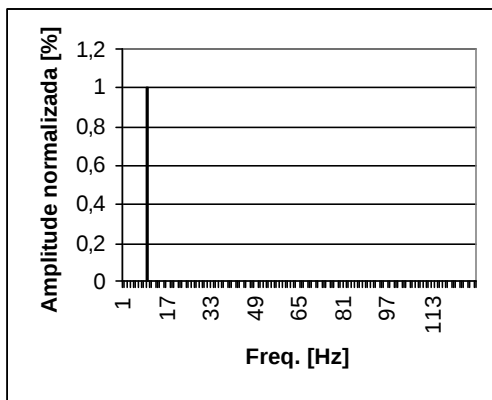


Figura 1. Senóide

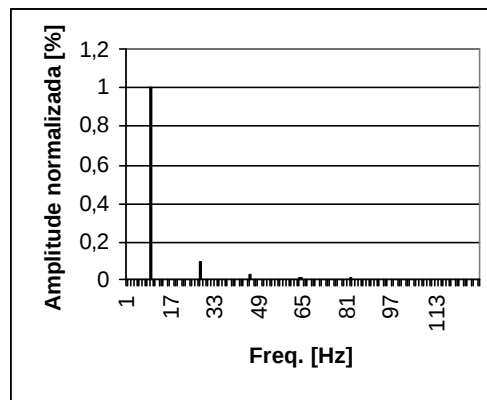


Figura 2. Onda quadrada

DISCUSSÃO E CONCLUSÕES

Os resultados até o momento são satisfatórios e a FFT em tempo real de um canal pode ser feita para qualquer forma de onda.

Para problemas que exijam processamento de sinais digitais em tempo real, microprocessadores DSP são a opção ideal, já que são otimizados para cálculos matemáticos.

A FFT de 8 canais em tempo real está sendo implementada na sequência do projeto. Como o módulo ainda é um protótipo a FFT de um canal serviu para testá-lo e fazer os eventuais ajustes.

REFERÊNCIAS

- [1] PFURTSCHER, G., KALCHER, J., NEUPER, C., FLOTZINGER, D., PREGENZER, M., On-line EEG classification during externally-paced hand movements using a neural network-based classifier. **Electroencephalography and Clinical Neurophysiology**, v. 99, n. 5, p. 416-425, 1996.
- [2] WOLPAW, J. R., MCFARLAND, D. J., Multichannel EEG-based brain-computer communication. **Electroencephalography and Clinical Neurophysiology**, v. 90, n. 6, p. 444-449, 1994.
- [3] PILLA JÚNIOR., V., Protocolo de aquisição de sinais para o sistema BCI. BIOINFO/CPGEI, Relatório Técnico, 1998.
- [4] MUKAI, I. N., PILLA JÚNIOR., V., LOPES, H. S., Processamento digital de sinais de uma interface cérebro-computador. Anais do IV Seminário de Iniciação Científica e Tecnológica do CEFET-PR, p. 75-78.
- [5] PILLA JÚNIOR., V, **Deteção de padrões eletroencefalográficos relacionados ao movimento para uma interface cérebro-computador**. Curitiba, 1999; Dissertação (Curso de Pós-Graduação em Engenharia Elétrica e Informática Industrial, Engenharia Biomédica) – CPGEI, CEFET-PR.
- [6] TEXAS INSTRUMENTS. **TMS320C54x DSP Reference Set: CPU and Peripherals**, v. 1, 1996.
- [7] TEXAS INSTRUMENTS. **TMS320C54x DSP Reference Set: Starter Kit**, 1996
- [8] TEXAS INSTRUMENTS. **TMS320C54x DSP Reference Set: Applications Guide**, v. 4, 1997